

#4/Priority
7-19-01
K. P. M.
PATENT
81784.0232
J1036 U.S. PTO
09/823927
03/29/01

Express Mail Label No. EL 713 624 499 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yusuke TSUTSUI et al.

Serial No: Not assigned

Filed: March 29, 2001

For: DRIVING APPARATUS FOR
DISPLAY DEVICE

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION
Assistant Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2000-099890 which was filed March 31, 2000, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: _____

Louis A. Mok
Registration No. 22,585
Attorney for Applicant(s)

Date: March 29, 2001

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1036 U.S. PRO
09/823927
03/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月31日

出 願 番 号
Application Number:

特願2000-099890

願 人
Applicant(s):

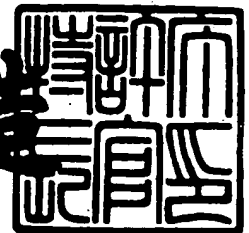
三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 KHB1000003

【提出日】 平成12年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133 520

【発明の名称】 表示装置用駆動装置

【請求項の数】 9

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 筒井 雄介

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 北川 誠

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 小林 貢

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 上原 久夫

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100075258

 【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100081503

【弁理士】

【氏名又は名称】 金山 敏彦

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置用駆動装置

【特許請求の範囲】

【請求項 1】 表示装置用駆動装置において、

デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する駆動回路と、

前記駆動回路のための電源電圧を発生する電源回路と、を有し、

前記電源回路は、所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に供給する電源電圧を通常動作時よりも低くすることを特徴とする表示装置用駆動装置。

【請求項 2】 請求項 1 に記載の駆動装置において、

前記デジタルアナログ変換回路は、

前記電源回路からの電源に直列接続された複数の分圧抵抗を有し、該分圧抵抗によって前記電源電圧を複数段階に分圧し、デジタルデータに応じた分圧を選択してアナログ信号を出力することを特徴とする表示装置用駆動装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の駆動装置において、

前記電源回路は、

入力電圧を昇圧する昇圧部と、

電源出力端での電源電圧を抵抗分圧として検出し、これを基準電圧と比較して前記電源電圧を維持するよう前記昇圧部を制御するフィードバック部と、を備え、

さらに、前記電源電圧を検出するために前記電源出力端にそれぞれ接続され互いに抵抗値の異なる複数の抵抗、及び前記複数の抵抗のうち前記フィードバック部に接続する抵抗を選択するセレクタスイッチと、を有し、

前記セレクタスイッチが選択する抵抗の抵抗値に応じて、電源電圧の前記フィードバック部への入力分圧値が変更され、前記デジタルアナログ変換回路及び前記アナログ信号処理回路への出力電源電圧が変更されることを特徴とする表示装

置用駆動装置。

【請求項 4】 請求項 3 に記載の駆動装置において、

出力電源電圧の低下が要求される時は、前記セレクタスイッチにより抵抗値の小さい抵抗を選択させ、前記フィードバック部への入力分圧値を上昇させることを特徴とする表示装置用駆動装置。

【請求項 5】 請求項 1 又は請求項 2 に記載の駆動装置において、

前記電源回路は、

入力電圧を昇圧する昇圧部と、

前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、

電源入力端と前記電源出力端とをバイパスする非昇圧電源出力スイッチと、を備え、

2 種類の前記出力スイッチを切り替え制御して、昇圧電源電圧又は非昇圧電源電圧のいずれかを前記デジタルアナログ変換回路及び前記アナログ信号処理回路に出力することを特徴とする表示装置用駆動装置。

【請求項 6】 請求項 1 又は請求項 2 に記載の駆動装置において、

前記電源回路は、

複数のキャパシタ及び複数のキャパシタ用スイッチを備え、前記キャパシタ用スイッチの切り替え制御により入力電圧を昇圧する昇圧部と、

前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、

電源入力端を前記電源出力端にバイパスする非昇圧電源出力スイッチと、

を備え、

前記駆動回路がシステムクロックを用いて作成した電源用クロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、

前記出力スイッチの切り替え制御と、前記電源用クロックに応じて、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は前記電源電圧の出力を停止することを特徴とする表示装置用駆動装置。

【請求項 7】 請求項 1 又は請求項 2 に記載の駆動装置において、

前記電源回路は、

複数のキャパシタ及び複数のキャパシタ用スイッチを備え、前記キャパシタ用スイッチの切り替え制御により入力電圧を昇圧する昇圧部と、

前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、
電源入力端を前記電源出力端にバイパスする非昇圧電源出力スイッチと、
を備え、

所定発振回路からのクロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、

前記出力スイッチの切り替え制御と、前記発振回路からのクロックに応じて、
前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は前記電源電圧の出力を停止することを特徴とする表示装置用駆動装置。

【請求項 8】 請求項 6 又は請求項 7 のいずれかに記載の駆動装置において

前記駆動回路は、所定パワーセーブ制御命令に基づき、昇圧電源発生モードか、非昇圧電源発生モードか、電源停止モードかを判定し、

結果に応じて、前記電源クロックの供給と供給停止又は前記発振回路からのクロックの供給と供給停止、

及び前記電源回路の前記出力スイッチの開閉を制御することを特徴とする表示装置用駆動装置。

【請求項 9】 デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する表示装置用の駆動回路であって、

所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路は、通常動作時よりも低下した電源電圧により動作することを特徴とする表示装置用駆動回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、表示装置、特にパワーセーブモードに対応し、低消費電力な表示装置のための駆動装置に関する。

【0002】

【従来の技術】

液晶表示装置や有機EL表示装置等に代表される平面表示装置は、薄型で軽量かつ低消費電力であることから、携帯電話などの携帯機器の表示装置として優れており、多くの携帯機器に用いられている。

【0003】

図10は、携帯電話の表示装置として用いられる液晶表示装置の構成を示している。液晶表示装置は、一对の基板間に液晶が封入されて構成された液晶表示（LCD）パネル200と、このLCDパネル200を駆動する駆動回路101と、駆動回路101及びLCDパネル200に必要な電源電圧を供給する電源回路350を備えている。

【0004】

駆動回路101は、供給されるRGBデジタルデータをラッチするラッチ回路10、ラッチしたデータをアナログデータに変換するデジタルアナログ（D/A）変換回路12、変換されたアナログデータを増幅し液晶表示パネル200にR、G、Bアナログ表示データとして供給するアンプ14を備える。また駆動回路101は、タイミングコントローラ（T/C）22と、図示しないCPUから命令を受け取って命令に応じた制御信号を出力するCPUインターフェース（I/F）回路20を備える。T/C22は、ドットクロックDOTCLK、水平同期信号Hsync、垂直同期信号Vsync等のタイミング信号に基づいて、液晶表示パネル200での表示に適したタイミング信号を発生している。

【0005】

電源回路350は、必要に応じて複数の電源電圧を発生しており、ここでは、低電圧駆動に適したCMOS論理回路で構成され、デジタル信号処理を行う上述のラッチ回路10には低電圧の電源電圧VDD1を供給し、D/A変換回路12、アンプ14にはより高電圧の電源電圧VDD2、LCDパネル200には更に高電圧の電源電圧VDD3を供給している。

【 0 0 0 6 】

図 1 1 (a) 及び (b) はそれぞれ、上記複数の電圧のうち、電圧 V_{DD2} を発生する従来の電源回路の構成を示しており、図 1 1 (a) に示す電源回路 3 5 0 は、スイッチングレギュレータ型、図 1 1 (b) に示す電源回路 3 5 0 はチャージポンプ型回路である。

【 0 0 0 7 】

図 1 1 (a) のスイッチングレギュレータ型の電源回路 3 5 0 は、入出力の間にこの順に設けられたコイル L_1 及びダイオード D_1 、所定パルス信号を発振する発振回路 3 5 s、発振回路 3 5 s からのパルス信号をゲートに受けるトランジスタ Tr_{36} を備える昇圧部 3 5 1 を有し、発振回路 3 5 s からのパルス信号によってトランジスタ Tr_{36} をオンオフ制御することで、コイル L_1 及びダイオード D_1 において入力電圧 V_{IN} を昇圧しており、得られた昇圧電源電圧 V_{DD2} は、液晶駆動回路 1 0 1 に動作電源として供給されている。また、電源回路 3 5 0 は、その出力端とグランドとの間に、分圧抵抗 R_{37} 及び R_{38} を有し、コンパレータ 3 6 がこの抵抗 R_{37} と R_{38} との間の分圧と基準電圧 V_{ref} とを比較して比較信号を出力する。そして、コンパレータ 3 6 からの出力電圧 V_{DD2} に応じた比較信号に基づいて発振回路 3 5 s の発振周波数を制御することで、出力電圧 V_{DD2} が安定するように制御している。

【 0 0 0 8 】

図 1 1 (b) のチャージポンプ型の電源回路 3 5 0 は、2つのキャパシタ C_1 、 C_2 と、このキャパシタへの入力電圧の供給ルートを切り替えるキャパシタ用スイッチ $SW_1 \sim SW_4$ 、該スイッチ $SW_1 \sim SW_4$ の切替を制御するためのパルス信号を発生する発振回路 3 5 c、ANDゲート 3 7 及びNANDゲート 3 9 を備えている。

【 0 0 0 9 】

発振回路 3 5 c は、例えばデューティ比 $1/2$ のパルス信号を発生し、このパルス信号がANDゲート 3 7 を介してスイッチ SW_1 及び SW_2 に供給され、NANDゲート 3 9 を介してスイッチ SW_3 及び SW_4 に供給され、スイッチ SW_1 及び SW_2 と、スイッチ SW_3 及び SW_4 とを交互に開閉している。

【 0 0 1 0 】

スイッチ SW 3 及び SW 4 が閉じると、キャパシタ C 1 の図中上側の電極に入力電圧 V IN が印加され、下側の電極はグランド (G N D) 電位となってキャパシタ C 1 が充電される。次のタイミングでスイッチ SW 3 及び SW 4 が開いて反対にスイッチ SW 1 及び SW 2 が閉じると、キャパシタ C 1 の図中の下側電極に入力電圧 V IN が印加され、キャパシタ C 1 の上側電極の電位が入力電圧 V IN の 2 倍の電位まで昇圧され、キャパシタ C 1 の上側電極とキャパシタ C 2 との間から引き出された出力端から入力電圧 V IN の 2 倍の出力電圧 V D D 2 を得ている。

【 0 0 1 1 】

ところで、例えば携帯電話等の携帯機器においては、消費電力低減の要求が非常に強く、機器の表示装置についても消費電力の一層の低下が求められている。この要求に対応するため、従来より非動作時には、装置電源をオフ制御することで装置の消費電力削減を行うパワーセーブモードが採用されている。

【 0 0 1 2 】

図 1 0 に示す表示装置においてもこのようなパワーセーブモードに対応しており、 I / F 回路 2 0 が、図示しない C P U から送出されるパワーセーブ制御命令を解析し、パワーセーブ制御信号を発生している。パワーセーブ制御信号は、例えば、通常動作時とパワーセーブ時とでレベルが異なる信号で、図 1 1 の電源回路 3 5 0 に供給されており、図 1 1 (a) 及び (b) のいずれの形式の電源回路 3 5 0 も、パワーセーブ制御信号がパワーセーブを表すレベルになると、電源電圧 V D D 2 の発生を停止する構成を有している。また、図示しないが、同様に、電源 V D D 3 もオフ制御され、 L C D パネル 2 0 0 への電源供給が停止する。

【 0 0 1 3 】

図 1 1 (a) の電源回路 3 5 0 では、トランジスタ T r 3 5 、 T r 3 7 及び T r 3 8 、抵抗 R 3 5 及び R 3 6 、及びインバータ 3 8 によって、このようなパワーセーブモードに対応している。なお、ここでは、パワーセーブ制御信号が通常動作時 L レベル、パワーセーブ時 H レベルとなる。

【 0 0 1 4 】

通常動作時には、 L レベルのパワーセーブ制御信号を受け、発振回路 3 5 s は

発振動作し、トランジスタ $T r 3 7$ がオンして、入出力経路に設けられたトランジスタ $T r 3 5$ をオンさせる。また、電源回路 3 5 0 の出力端とグランドとの間に接続されたトランジスタ $T r 3 8$ は、この時オフ制御されている。従って、通常動作時は、入力電圧 V_{IN} を昇圧部 3 5 1 で昇圧して得られた電圧 $V_{DD 2}$ が出力される。

【0015】

またパワーセーブ時にパワーセーブ制御信号が H レベルとなると、発振回路 3 5 s が発振動作を停止し、トランジスタ $T r 3 7$ がオフしてトランジスタ $T r 3 5$ がオフ制御されるので、昇圧部 3 5 1 からの出力が絶たれる。また、トランジスタ $T r 3 8$ がオンするため、出力端がグランドに接続されることとなり、電源回路 3 5 0 からの出力電圧が 0 V、つまり電源回路 3 5 0 がオフ制御される。

【0016】

一方、図 1 1 (b) の電源回路 3 5 0 は、通常動作時に H レベル、パワーセーブ時に L レベルとなるパワーセーブ制御信号を受けて、該パワーセーブ制御信号が H レベルであれば通常通りにパルス信号を発生する。このためスイッチ $SW 1$ 及び $SW 2$ と、 $SW 3$ 及び $SW 4$ とが交互に切り替え制御され、チャージポンプが機能して入力電圧 V_{IN} より高い出力電圧 $V_{DD 2}$ を得る。しかし、パワーセーブ時において、パワーセーブ制御信号が L レベルとなると、発振回路 3 5 c は動作を停止し、AND ゲート 3 7 の出力が L レベルに固定され、NAND ゲート 3 9 の出力が H レベルに固定されるため、キャパシタ $C 1$ 及び $C 2$ が放電されて出力電圧が低下し、電源回路 3 5 0 はオフ制御される。

【0017】

このように、パワーセーブモードに対応する従来の電源回路では、パワーセーブ時に、表示装置の駆動回路 1 0 1 や LCD パネル 2 0 0 に供給される電源電圧をオフ制御することで、駆動回路 1 0 1 や LCD パネル 2 0 0 での電力消費をなくし、表示装置としての消費電力をセーブしている。

【0018】

【発明が解決しようとする課題】

しかしながら、上述のようにパワーセーブ時に電源回路をオフ制御してしまう

と、表示装置では表示ができなくなる。携帯電話を例に挙げると、非通話時等にパワーセーブモードとなると、内蔵する時計の示す時刻や電波状態などを表示したくとも、表示電源がオフ制御されているので何も表示できない。

【 0 0 1 9 】

パワーセーブ時にも表示を可能とするためには、表示用電源をオフせずに、表示装置の駆動周波数を低下させるという方法が考えられる。しかし、表示装置では、CPU等と異なり、その駆動周波数の低下は単なる動作速度の低下だけでなく、表示品質に大きな影響を与えてしまい、一定周波数以下になると表示フリッカが発生し、著しい表示品質の劣化を招いてしまう。従って、駆動周波数の低下によるパワーセーブには、低下可能な周波数に限界があり、それでは消費電力の低減効果が余り高くない。

【 0 0 2 0 】

また、例えばラッチ回路等のデジタル処理系の回路においては、信号がHからL、LからHへ変化する時に電力を消費するので、駆動周波数を低下させることにより、その消費電力を低減することができる。しかし、D/A回路やアンプ等のアナログ処理系の回路では、その消費電力の駆動周波数に依存性は低く、駆動周波数を低下させるだけでは、省電力化ができないという問題がある。

【 0 0 2 1 】

さらに、パワーセーブのために、通常低下可能な駆動周波数よりさらに低い駆動周波数で表示を行うには、LCDパネル内の素子構成の設計変更や液晶材料の変更、或いはLCD駆動方法の変更などが必要で、大がかりな設計変更となり装置のコストアップなどを招いてしまう。

【 0 0 2 2 】

上記課題を解決するために、この発明は、より簡単な方法で効率的にパワーセーブモードに対応して消費電力を低減することが可能で、かつパワーセーブ時にも表示が可能な表示装置を実現することを目的とする。

【 0 0 2 3 】

【課題を解決するための手段】

上記目的を達成するためにこの発明は、以下のような特徴を有する。

【 0 0 2 4 】

まず、本発明に係る表示装置用駆動装置では、デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する駆動回路と、前記駆動回路のための電源電圧を発生する電源回路と、を有し、前記電源回路は、所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に供給する電源電圧を通常動作時よりも低くすることを特徴とする。

【 0 0 2 5 】

本発明の他の特徴は、上記駆動装置において、前記デジタルアナログ変換回路が、前記電源回路からの電源に直列接続された複数の分圧抵抗を有し、該分圧抵抗によって前記電源電圧を複数段階に分圧し、デジタルデータに応じた分圧を選択してアナログ信号を出力することである。

【 0 0 2 6 】

また本発明では、デジタル信号を処理するデジタル信号処理回路と、デジタル信号をアナログ信号に変換するデジタルアナログ変換回路と、アナログ信号を処理するアナログ信号処理回路と、を備え、表示部に表示を行わせるための信号を発生する表示装置用の駆動回路であって、所定パワーセーブが命ぜられると、前記デジタルアナログ変換回路及び前記アナログ信号処理回路は、通常動作時よりも低下した電源電圧により動作することを特徴とする。

【 0 0 2 7 】

このようにパワーセーブが命じられたときに、駆動回路内のデジタルアナログ変換回路及びアナログ信号処理回路における電源電圧を低下させるので、アナログ信号を処理するこれらの回路において消費電力を低減することができる。さらに、本発明においてこれらアナログ信号を処理する回路は、電源電圧が低下しても動作することが可能であり、パワーセーブ時であっても表示部に表示を行わせるための信号を発生することができ、表示を行うことが可能である。

【 0 0 2 8 】

本発明の他の特徴は、上記駆動装置において、前記電源回路が、入力電圧を昇

圧する昇圧部と、電源出力端での電源電圧を抵抗分圧として検出し、これを基準電圧と比較して前記電源電圧を維持するよう前記昇圧部を制御するフィードバック部と、を備え、さらに、前記電源電圧を検出するために前記電源出力端にそれぞれ接続され互いに抵抗値の異なる複数の抵抗、及び前記複数の抵抗のうち前記フィードバック部に接続する抵抗を選択するセレクトスイッチと、を有し、前記セレクトスイッチが選択する抵抗の抵抗値に応じて、電源電圧の前記フィードバック部への入力分圧値が変更され、前記デジタルアナログ変換回路及び前記アナログ信号処理回路への出力電源電圧が変更されることである。

【 0 0 2 9 】

本発明の他の特徴は、上記電源回路において、出力電源電圧の低下が要求される時は、前記セレクトスイッチにより抵抗値の小さい抵抗を選択させ、前記フィードバック部への入力分圧値を上昇させることである。

【 0 0 3 0 】

本発明の他の特徴は、表示装置用駆動装置において、上記電源回路が、入力電圧を昇圧する昇圧部と、前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、電源入力端と前記電源出力端とをバイパスする非昇圧電源出力スイッチと、を備え、2種類の前記出力スイッチを切り替え制御して、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力することである。

【 0 0 3 1 】

電源回路がこのように、昇圧電源電圧と非昇圧電源電圧を選択して出力することが可能であれば、パワーセーブ命令が出されたとき、デジタルアナログ変換回路及びアナログ信号処理回路に対し、通常動作時よりは低い電源電圧を簡易な構成によって供給できる。そして、デジタルアナログ変換回路及びアナログ信号処理回路がパワーセーブ時にも非昇圧電源電圧によって動作することができる。

【 0 0 3 2 】

本発明の他の特徴は、上記駆動装置において、電源回路が、複数のキャパシタ及び複数のキャパシタ用スイッチを備え、前記キャパシタ用スイッチの切り替え制御により入力電圧を昇圧する昇圧部と、前記昇圧部と電源出力端との間の導通を制御する昇圧電源出力スイッチと、電源入力端を前記電源出力端にバイパスす

る非昇圧電源出力スイッチと、を備え、駆動回路がシステムクロックを用いて作成した電源用クロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、前記出力スイッチの切り替え制御と、前記電源用クロックに応じて、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は電源電圧の出力を停止することである。

【 0 0 3 3 】

或いは、電源回路は、所定発振回路からのクロックを、前記複数のキャパシタ用スイッチの切り替え制御に用い、前記出力スイッチの切り替え制御と、前記発振回路からのクロックに応じて、前記デジタルアナログ変換回路及び前記アナログ信号処理回路に対し、昇圧電源電圧又は非昇圧電源電圧のいずれかを出力するか、又は前記電源電圧の出力を停止してもよい。

【 0 0 3 4 】

このような本発明の表示装置用駆動装置は、少なくとも3種類の電源発生動作が可能で、通常動作の他、複数のパワーセーブモードに対応し、装置機能を維持しつつ消費電力の低減を図り、或いは消費電力の低減を最優先する等、多くの動作モードに対応できる。即ち、通常動作時に表示が可能であると共に、例えば要求される消費電力の低減レベルが低い場合には、非昇圧電源電圧を発生することで表示を可能とし、要求レベルが高い場合には、電源をオフ制御することでこの電源を動作電源とする回路等における消費電力をなくすというように、多くのパワーセーブモードに対応した高機能な装置を提供することが可能となる。

【 0 0 3 5 】

また、本発明では、上記電源回路において、前記集積回路が所定パワーセーブ制御命令に基づき、昇圧電源発生モードか、非昇圧電源発生モードか、電源停止モードかを判定し、結果に応じて、前記電源クロックの供給と供給停止又は前記発振回路からのクロックの供給と供給停止、及び前記出力スイッチの開閉を制御することができる。

【 0 0 3 6 】

このようなクロックの供給及び停止は、例えばCPUなどからの制御命令に基

づいて簡単な構成によって制御でき、またスイッチの開閉制御についても簡単な構成で実現でき、複数の動作モードに簡易な構成で対応することが容易である。

【 0 0 3 7 】

【発明の実施の形態】

以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【 0 0 3 8 】

〔実施形態 1〕

図 1 は、実施形態 1 に係るパワーセーブモード対応型表示装置の概略構成を示している。この表示装置は、例えば携帯電話に搭載される LCD などの平面表示装置であり、表示パネル（以下においては LCD パネル）200 と、駆動回路 100 を有し、更にこれら駆動回路 100 及びパネル 200 に、必要な複数の電源電圧（例えば VDD1、VDD2、VDD3）を供給する電源回路 300 を備えている。

【 0 0 3 9 】

駆動回路 100 は、上述の図 10 と同様にデジタル信号を処理するデジタル信号処理回路であるラッチ回路 10、アナログ信号を処理する回路に該当する D/A 変換回路 12 及びアンプ 14 を備えると共に、I/F 回路 16 及び T/C 18 を備える。I/F 回路 16 は、図示しない CPU から送出される命令を受け取ってこれを解析し、命令に応じた制御信号を出力する。CPU から送出される命令は、パワーセーブ制御命令の他、表示パネルでの表示位置の調整命令やコントラスト調整命令などで、これらの制御命令は、予め定められたデジタル制御データに表されており、I/F 回路 16 は、ロード信号（S-LOAD）及び CPU クロック（S-CLOCK）に従ってデジタル制御データ（S-DATA）を取り込み、制御データに応じた制御信号を発生する。なお、I/F 回路 16 の構成及びパワーセーブ制御信号の発生動作は、後述する実施形態 2（図 7 及び図 8（a）～（i））と同じで、ここでは説明を省略する。また、T/C 18 は、本実施形態 1 では、ドットクロック DOTCLK、水平同期信号 Hsync、垂直同期信号 Vsync 等のタイミング信号に基づいて、LCD パネル 200 での表示に適したタイミング信号を発生し、これ

をLCDパネル200に出力している。

【0040】

本実施形態では、上記駆動回路100のうち、アナログ系の処理回路、具体的にはD/A変換回路12とアンプ14とに対し、以下に説明する電源回路300によってパワーセーブ時に、通常動作時よりは低いこれらの回路が動作可能な電源電圧VDD2を供給する。これにより、パワーセーブ時での表示部での表示を可能としつつ、これらアナログ系回路における消費電力の低減を図っている。

【0041】

(スイッチングレギュレータ型電源回路)

図2は、本実施形態1に係る電源回路300のうちVDD2を発生する回路構成を示している。この電源回路300は、パワーセーブモードに対応したスイッチングレギュレータ型の電源回路であり、I/F回路16から供給されるパワーセーブ制御信号に基づき、パワーセーブ時にも、オフすることなく、D/A変換回路12及びアンプ14に対し、通常動作時の電源電圧VDD2よりも低い電源電圧VDD2を発生して供給している。なお、パワーセーブ時の電源電圧VDD2は、通常動作時よりは低電圧であるが、上記D/A変換回路12及びアンプ14が動作するのに必要な電圧以上に設定されている。

【0042】

電源回路300は昇圧部301及びフィードバック部302を有し、昇圧部301は、図11(a)の昇圧部351と同様、入出力間に設けられたコイルL1及びダイオードD1と、発振回路30s及び発振回路30sからのパルス信号をゲートに受けてオンオフし、コイルL1とダイオードD1との間の電圧をスイッチングするトランジスタTr30を備える。

【0043】

また、フィードバック部302は、電源出力端に接続された抵抗R1及びR2、これらの抵抗と接続されて抵抗分圧を発生するための抵抗R3、これらの抵抗によって検出される出力電源電圧の分圧値と基準電圧Vrefとを比較するコンパレータ31を備える。そして、抵抗分圧によって検出した出力電源電圧を維持するよう、上記昇圧部351での昇圧動作、具体的には発振回路30sの発振周波

数を制御している。

【 0 0 4 4 】

電源出力端に接続された抵抗 R_1 及び R_2 の他端は、セクタスイッチ SW_{30} によって、グランドに接続された抵抗 R_3 と接続可能となっている。抵抗 R_1 の抵抗値は、抵抗 R_2 の抵抗値よりも大きく、スイッチ SW_{30} は、 I/F 回路 16 からのパワーセーブ制御信号が通常動作（例えば H レベル）を示していれば、抵抗 R_1 を選択し、パワーセーブモード（例えば L レベル）を示していれば、抵抗 R_2 を選択する。

【 0 0 4 5 】

フィードバック部 302 の入力に該当するコンパレータ 31 の正入力端は、スイッチ SW_{30} によって選択された抵抗 R_1 又は R_2 と、抵抗 R_3 との間に接続され、出力電圧の分圧が印加され、負入力端には基準電圧 V_{ref} が印加されている。よって、コンパレータ 31 は、抵抗 R_1 と R_3 、又は抵抗 R_2 と R_3 との抵抗比に応じた分圧と、印加される基準電圧 V_{ref} と比較して比較信号を出力し、この比較信号により発振回路 30s の発振周波数が制御されている。

【 0 0 4 6 】

上述のように通常動作時にパワーセーブ制御信号が例えば H レベルであると、スイッチ SW_{30} が高抵抗の抵抗 R_1 を選択するため、コンパレータ 31 の正入力端に印加される電圧は、所定の低電圧となる。そして、この正入力電圧と基準電圧 V_{ref} とが比較され、コンパレータ 31 からの比較出力によって発振回路 30s はコンパレータ 31 の正入力端の電圧が低下しないようにその発振周波数が制御され、これに応じてトランジスタ Tr_{30} がオンオフされ、電源回路 300 から駆動回路のアナログ系回路への出力電源電圧は、高い所定の電圧 V_{DD2} （例えば 5 V）に維持される。

【 0 0 4 7 】

一方、図示しない CPU からパワーセーブが命令されると、これに応じてパワーセーブ制御信号は例えば L レベルとなり、スイッチ SW_{30} は、 R_1 より低抵抗の抵抗 R_2 を選択する。このためコンパレータ 31 の正入力端電圧は、通常動作時と比較して高く、これが通常動作時と同じ基準電圧 V_{ref} と比較されるため

、発振回路 3 0 s は、コンパレータ 3 1 の正入力端電圧が低く（R 1 が選択されたときと同じ電圧に）なるように、つまり出力電源電圧 V D D 2 が低くなるようにその発振周波数が変化（低下）する。このため、発振回路 3 0 s からの低い周波数のパルス信号によってトランジスタ T r 3 0 がオンオフ制御され、電源回路 3 0 0 からの出力電圧 V D D 2 は、通常動作時と比較して低い電圧（例えば 3 V）となり、これが維持される。

【 0 0 4 8 】

このように、スイッチ S W 3 0 によって抵抗 R 1 と R 2 を切り替えることで、スイッチングレギュレータ型の電源回路 3 0 0 の出力電圧をパワーセーブ時に 0 V ではなく、通常動作時より低い所定の電圧とすることが可能となっている。

【 0 0 4 9 】

（チャージポンプ型電源回路）

次に、パワーセーブモードに対応した本実施形態 1 のチャージポンプ型電源回路について図 3 を用いて説明する。図 3 に示す電源回路 3 0 0 は、通常動作時に発生する電源電圧 V D D 2 が入力電圧 V i n の例えば 2 倍で、パワーセーブ時には通常動作時より低く、入力電圧 V i n と同等の電源電圧 V D D 2 を発生する。発振回路 3 0 c、キャパシタ用スイッチ S W 1 ～ S W 4、AND ゲート 3 2、N A N D ゲート 3 3、キャパシタ C 1 及び C 2 は、図 1 1 （b）に示す従来の電源回路 3 5 0 と共通するが、本実施形態の電源回路 3 0 0 では、通常動作時とパワーセーブ時とで出力電圧を切り替えるための構成として、昇圧電源電圧出力スイッチとしてトランジスタ T r 3 1 及びインバータ 3 4、非昇圧電源電圧出力スイッチとしてトランジスタ T r 3 2 を備える。

【 0 0 5 0 】

通常動作時には、I / F 回路 1 6 から出力される H レベルのパワーセーブ制御信号が、インバータ 3 4 を介して昇圧部（チャージポンプ）3 0 3 の出力端に設けられたトランジスタ T r 3 1 をオン制御し、入出力間をバイパスするために設けられたトランジスタ T r 3 2 をオフ制御する。従って、通常動作時には、スイッチ S W 1 及び S W 2 と、スイッチ S W 3 及び S W 4 とを交互に切り替えることで入力電圧 V i n を昇圧して得た出力電圧 V D D 2 （例えば 5 V）をトランジスタ

Tr 3 1 を介して出力することができる。一方、パワーセーブ時にパワーセーブ制御信号が L レベルとなると、トランジスタ Tr 3 1 はオフ制御され、反対にトランジスタ Tr 3 2 がオン制御される。従って、パワーセーブ時には、電源回路 3 0 0 の入力端と出力端とがトランジスタ Tr 3 2 にバイパスされ、昇圧部 3 0 3 の出力はトランジスタ Tr 3 1 によって遮断される。従って、図 3 の電源回路 3 0 0 からはパワーセーブ時に、非昇圧電圧電源、つまり入力電圧 V_{in} がそのまま電源電圧 V_{DD2} として出力される。

【 0 0 5 1 】

(駆動回路 1 0 0)

次に、上記図 2 又は図 3 に示すような電源回路 3 0 0 から電源電圧 V_{DD2} を受けて動作する図 1 の D/A 変換回路 1 2 とアンプ 1 4 について、さらに図 4 及び図 5 を参照して説明する。上述のように本実施形態の電源回路 3 0 0 から出力される電源電圧 V_{DD2} は、パワーセーブ時は通常動作時より低くなるように制御される。そこで、本実施形態では、D/A 変換回路 1 2 として、図 4 に示すように、電源 (V_{DD2}) とグランドとの間に複数の分圧抵抗が直列接続された抵抗型 D/A 変換 (RDAC) 回路を採用している。

【 0 0 5 2 】

この D/A 変換回路 1 2 は、電源電圧 V_{DD2} が低下しても変換動作が可能であると共に、分圧抵抗の電源電圧 V_{DD2} が通常動作時 (5 V) とパワーセーブ時 (3 V) とで変化すると、各分圧抵抗からの分圧出力がこれに応じて変化する。よって、供給されるデジタルデータに応じて通常時と同様にスイッチ 1 2 0 を切り替えることで、図 5 に示すように電源電圧 V_{DD2} の変化に応じて出力するアナログ信号の電圧レベルが変化し、結果、アナログ信号の振幅を変化させることができる。なお、D/A 変換回路 1 2 は、上記 RCAC 型には限らず、その電源電圧が低下しても変換動作が可能であって、電源電圧と、入力デジタルデータに応じたアナログ信号を得ることができるものであればよい。

【 0 0 5 3 】

アンプ 1 4 は、このような電源電圧の変化に振幅が対応したアナログ信号を電源電圧 V_{DD2} を利用して増幅し、LCD パネル 2 0 0 に出力する。

【 0 0 5 4 】

抵抗分圧電源となる電源VDD2が低くなればD/A変換回路12での消費電力は低下し、またアンプ14の動作電源VDD2も同様に低下するので、ここでの消費電力も低下する。

【 0 0 5 5 】

このように、パワーセーブ時には通常動作時よりも電源電圧VDD2を低く制御することで、アナログ系の処理を行う回路において、パワーセーブ時にその消費電力を低減することができ、表示装置全体としての消費電力をセーブすることが可能となっている。

【 0 0 5 6 】

また、以上の説明では、図示しないCPUからのパワーセーブ制御命令に従ってI/F16から出力されるパワーセーブ制御信号に基づき、電源回路300の電源電圧を制御する場合を例に挙げているが、図1に示すように装置使用者等が任意に切り替え可能なスイッチ400を設け、このスイッチ400を切り替えることで、上記パワーセーブ制御信号を発生しても良く、この制御信号を図1中点線で示すように電源回路300に供給する構成を採用しても良い。また、CPUからのパワーセーブ制御命令を受けて動作すると共に、このスイッチ400を用いて使用者等が任意にパワーセーブを行う構成とすることもできる。

【 0 0 5 7 】

〔実施形態2〕

次に、実施形態2に係るパワーセーブモード対応の電源回路及びこれを用いた装置について、図1及び図6～図9を参照して説明する。上記実施形態1の表示装置では、パワーセーブ時に電源をオフ制御せず、アナログ系の回路の電源電圧VDD2を通常動作時よりも低く制御していたが、本実施形態2では、パワーセーブのモードに応じて、（モード1）実施形態1のようにアナログ系回路の電源電圧VDD2を通常動作時より低く制御できると共に、（モード2）その電源をオフ制御することも可能となっている。

【 0 0 5 8 】

表示装置の全体構成は、図1に示す通りであるが、本実施形態2において電源

回路 3 0 0 には、I / F 回路 1 6（又はスイッチ 4 0 0）からのパワーセーブ制御信号 1 と、図 1 において 2 点鎖線で示す T / C 回路 1 8 の電源用クロックとが供給されている。図 6 は、実施形態 2 に係る電源回路 3 0 0 の構成を示し、図 7 は、上記駆動回路 1 0 0 の I / F 回路 1 6、及び T / C 1 8 の電源用クロック発生部を示し、図 8 は、パワーセーブモード 1 の場合における本実施形態 2 の装置動作、図 9 はパワーセーブモード 2 の場合における装置動作を示している。

【 0 0 5 9 】

電源回路 3 0 0 のうち、図 6 に示すように本実施形態 2 においてアナログ系回路の動作電源である電源電圧 VDD 2 を発生する回路は、チャージポンプ型電源回路であり、後述のように T / C 回路 1 8 から電源用クロックを受けて動作可能で発振回路 3 0 c が不要であり、他の構成については上記図 3 の電源回路 3 0 0 と共通する。

【 0 0 6 0 】

図 7 に示すように、I / F 回路 1 6 は、AND ゲート 1 6 9、フリップフロップ (F / F) 1 6 1 ~ 1 6 8、インバータ 1 7 0 ~ 1 7 3、1 7 5 ~ 1 7 7 及び NAND ゲート 1 7 4 及び 1 7 8 を備える。そして、CPU から送出されるロード信号 (図 8 (a) : S-LOAD) が H レベルになると、CPU から供給されるクロック (図 8 (b) : S-CLOCK) の立ち上がりに従って、制御データ (図 8 (c) 又は図 9 (c) : S-DATA) を取り込んで対応する制御信号を発生する。なお、この制御データは 4 ビットで構成されており、以下では、図 8 (c) の " 0 0 0 1 " が電源電圧 VDD 2 を通常動作時より低下させるパワーセーブモード 1、図 9 (c) の " 0 0 1 0 " が電源回路をオフ制御するパワーセーブモード 2 を表している場合を例に挙げて説明する。

【 0 0 6 1 】

図 7 において、I / F 回路 1 6 の F / F 1 6 1 ~ 1 6 4 は、クロック (S-CLOCK) とロード信号 (S-LOAD) との AND 出力 OUT_{169} (図 8 (d)) を各クロック端子 CK に受け、この出力 OUT_{169} の立ち上がり時に D 端子に供給されるシリアル制御データ (S-DATA) を順次取り込み、これを Q 端子から出力する。F / F 1 6 5 ~ 1 6 8 は、インバータ 1 7 0 から出力されるロード信号 (S-LOAD) の

反転信号をクロック端子CKに受け、対応するD端子に供給されるF/F161～164からのQ出力を順次取り込み、これをQ端子から出力する。

【0062】

(パワーセーブモード1：制御データ”0001”の時)

まず、命令がパワーセーブモード1の場合における動作について説明する。F/F161～164は、それぞれ図8(d)の出力OUT₁₆₉の立ち上がりで、順次図8(c)の制御データ”0001”を取り込むので、F/F162～164のQ出力(Q₁₆₂～₁₆₄)は、図8(f)に示すように全期間Lレベルを維持し、F/F161のQ出力(Q₁₆₁)だけが、クロック(S-CLOCK)の4回目の立ち上がりでLレベルからHレベルに変化する。

【0063】

F/F165は、図8(a)のロード信号(S-LOAD)の立ち下がり時に、F/F161のQ出力(Q₁₆₁)を取り込むため、図8(g)に示すようにF/F165のQ出力(Q₁₆₅)は、ロード信号(S-LOAD)の立ち下がりでLレベルからHレベルに変化する。また、F/F166～168のD端子には、上述のように全期間LレベルのF/F162～164のQ出力が供給されているため、図8(h)に示すようにロード信号(S-LOAD)が立ち下がっても、各Q出力(Q₁₆₆～₁₆₈)はLレベルを維持する。

【0064】

NANDゲート174には、F/F165からのQ出力(Q₁₆₅)と、F/F166～168のQ出力(Q₁₆₆～₁₆₈)をインバータ171～173で反転して得た反転出力が供給されている。よって、NANDゲート174からは、図8(i)に示すように、Q出力(Q₁₆₅)のレベルと反転Q出力(Q₁₆₆～₁₆₈)のレベルが共にHレベルになるとLレベルが出力される。つまり、NANDゲート174からは、ロード信号(S-LOAD)のHレベル期間中に供給された制御データ(S-DATA)が”0001”(=パワーセーブ1)であった場合にのみ、ロード信号の立ち下がりからLレベルとなるパワーセーブ制御信号1(A)が出力される。

【0065】

また、NANDゲート178には、F/F165、167及び168の各Q出

力 ($Q_{165, 167, 168}$) をインバータ 171~173 で反転して得た反転出力と、 $F/F166$ からの非反転 Q 出力 (Q_{166}) とが供給されている。よって、NANDゲート 178 からの出力 OUT_{178} は、全入力が高レベルにそろった期間がなく図 8 (j) に示すように、全期間高レベルを維持するパワーセーブ制御信号 2 (B) となる。

【0066】

NANDゲート 174 から出力されるパワーセーブ制御信号 1 は、実施形態 1 と同様、図 6 の電源回路 300 の ANDゲート 32、NANDゲート 33、トランジスタ $Tr32$ 及びインバータ 34 を介してトランジスタ $Tr31$ に供給されている。

【0067】

一方、NANDゲート 178 から出力されるパワーセーブ制御信号 2 は、図 7 に示すように $T/C18$ 内に設けられた電源用クロック発生回路 180 に供給される。この電源用クロック発生回路 180 は、パワーセーブ制御信号 2 と、各 IC などと共用され又は個々の IC が作成するシステムクロックと、に基づいて電源用クロックを発生する回路であり、本実施形態 2 では、ANDゲートから構成され、この ANDゲートの一方の入力に上記パワーセーブ制御信号 2 が供給され、他方の入力に図 8 (k) に示すようなシステムクロックが供給される。上述のように制御データ (S-DATA) が "0001" である場合には、パワーセーブ制御信号 2 は全期間高レベルであるため、電源用クロック発生回路 180 は、システムクロック (図 8 (k)) をそのまま電源用クロックとしてこれを電源回路 300 に出力する。

【0068】

パワーセーブモード 1 に移行する場合、電源回路 300 は以下のように動作する。まず、通常動作時には、 I/F 回路 16 の NANDゲート 174 から出力されるパワーセーブ制御信号 1 は高レベルで、これがインバータ 34 を介してチャージポンプの出力端に設けられたトランジスタ $Tr31$ をオン制御し、入出力間に設けられたトランジスタ $Tr32$ をオフ制御する。

【0069】

更に、パワーセーブ制御信号 2 も、通常動作時において H レベルを維持するため、電源用クロック発生回路 1 8 0 からは、システムクロックに応じて電源用クロックが出力される。この電源用クロックは、電源回路 3 0 0 の AND ゲート 3 2 及び NAND ゲート 3 3 の一方の入力に供給され、また、通常動作時に、電源回路 3 0 0 の AND ゲート 3 2 及び NAND ゲート 3 3 の他方の入力に供給されるパワーセーブ制御信号 1 は、H レベルである。従って、通常動作時には、AND ゲート 3 2 及び NAND ゲート 3 3 から電源用クロックが非反転、反転でスイッチ SW 1 ~ SW 4 に供給され、スイッチ SW 1 及び SW 2 と、スイッチ SW 3 及び SW 4 とが交互に切り替え制御され、入力電圧 V_{in} を昇圧して得た出力電圧 V_{DD2} (例えば 5 V) がトランジスタ T_{r31} を介して出力される。

【0070】

図 8 (a) のロード信号 (S-LOAD) が L レベルに立ち下がると、パワーセーブモード 1 に移行し、パワーセーブ制御信号 1 が L レベルに下がり、実施形態 1 と同様に、トランジスタ T_{r31} はオフ制御され、反対にトランジスタ T_{r32} がオン制御される。電源回路 3 0 0 の入力端と出力端とがトランジスタ T_{r32} によってバイパスされ、昇圧部 3 0 3 の出力はトランジスタ T_{r31} によって遮断される。

【0071】

このようにしてパワーセーブモード 1 の時は、電源回路 3 0 0 より入力電圧 V_{in} が昇圧されずにそのまま電源電圧 V_{DD2} として出力される。なお、パワーセーブ 1 のとき、電源用クロックの供給は続いているが、パワーセーブ制御信号 1 が L レベルであるため、AND ゲート 3 2 及び NAND ゲート 3 3 の出力は固定されている。

【0072】

(パワーセーブモード 2 : 制御データ " 0 0 1 0 " の時)

次に、命令がパワーセーブモード 2 の場合について説明する。この場合、 $F/F161 \sim 164$ は、図 8 (d) の出力 OUT_{169} の立ち上がりで、順次図 9 (c) の制御データ " 0 0 1 0 " を取り込むため、 $F/F161$ 、163 及び 164 の Q 出力 ($Q_{161, 163, 164}$) は、全期間 L レベルを維持し、 $F/F162$ の Q

出力 (Q_{162}) だけが、クロック (S-CLOCK) の 3 回目の立ち上がりで L レベルから H レベルに変化する。

【 0 0 7 3 】

また、F/F 1 6 5 ~ 1 6 8 は、図 9 (a) のロード信号 (S-LOAD) の立ち下がり時に、F/F 1 6 1 ~ 1 6 4 からの Q 出力 ($Q_{161} \sim 164$) を取り込むため、F/F 1 6 6 の Q 出力 (Q_{166}) だけが、ロード信号 (S-LOAD) の立ち下がりで L レベルから H レベルに変化し、F/F 1 6 5、1 6 7 及び 1 6 8 の各 Q 出力 ($Q_{165}, 167, 168$) は L レベルを維持する。

【 0 0 7 4 】

従って、NAND ゲート 1 7 4 から出力されるパワーセーブ制御信号 1 (A) は、全期間においてその入力レベルが一致しないので、図 9 (d) に示すように H レベルを維持する。一方、NAND ゲート 1 7 8 では、ロード信号 (S-LOAD) の立ち下がり、F/F 1 6 6 の出力が H レベルになった時点から、該 NAND ゲート 1 7 8 への入力レベルが全て H レベルとなり、図 9 (e) に示すようにパワーセーブ制御信号 2 は L レベルに変化する。パワーセーブ制御信号 2 が L レベルになると、図 7 の電源用クロック発生回路 1 8 0 からのシステムクロック (図 9 (f)) の出力が禁止されて、図 9 (g) に示すように出力が L レベルに固定される。従って電源用クロックの電源回路 3 0 0 への供給が停止する。

【 0 0 7 5 】

電源回路 3 0 0 は、図 9 (a) のロード信号 (S-LOAD) が立ち下がるまでの通常動作期間中は、上記と同様に入力電圧 V_{in} を昇圧して出力電圧 V_{DD2} を発生する。そして、ロード信号 (S-LOAD) が立ち下がった時点から、パワーセーブモード 2 に移行する。これにより、電源用クロック発生回路 1 8 0 からの電源用クロックが L レベルに固定されるので、スイッチ SW 1 及び SW 2 が開き、SW 3 及び SW 4 が閉じたままとなる。また、このときパワーセーブ制御信号 1 は、H レベルを維持しているので、トランジスタ T_{r32} はオフ制御され、トランジスタ T_{r31} がオン制御されており、電源回路 3 0 0 から電圧 V_{DD2} の出力が停止する。

【 0 0 7 6 】

従って、パワーセーブモード2の時には、少なくとも電源回路300のVDD2がオフ制御され、駆動回路100のアナログ系の回路は動作しない。また、図示しないが、VDD1及びVDD3についてもパワーセーブモード2の場合にはオフ制御することで、駆動回路等での電力消費を完全になくすことができ、表示装置としての電力消費を確実に低減することができる。また、パワーセーブモード2では、装置が表示を要求しないので、電源用クロックの発生を停止して、電源回路300をオフ制御しても、表示には全く影響を与えることがない。

【0077】

また、電源回路300の構成は、上記図6に限らず、実施形態1において説明した図3に示すような電源回路300でも対応できる。ここで、図3の電源回路300のパワーセーブモード1への対応は、実施形態1と同じで、図7のNANDゲート174から出力されるパワーセーブ制御信号1(A)に応じてトランジスタTr31、32を切り替え制御する。パワーセーブモード2への対応は、発振回路30cに図7のNANDゲート178から出力されるパワーセーブ制御信号2(B)を供給し、この制御信号2に応じて発振回路30cの発振動作を停止させ、かつ同時にパワーセーブ制御信号1でトランジスタTr31及び32を切り替えて、Tr31をオン制御させればよい。

【0078】

以上のように本実施形態2によれば、パワーセーブに際して、電源電圧を通常動作時より低くして消費電力を抑制しつつ表示も可能とすることも、電源をオフ制御することでこの電源を動作電源とする回路等での消費電力をなくすこともできる。従って、使い勝手が高くかつ要求された場合には最大限消費電力を抑えることの可能な高性能の機器にとって非常に有効である。

【0079】

また、電源用クロックを発生する回路180は、パワーセーブ制御信号2とシステムクロックとの論理積をとるANDゲートだけで構成することが可能であり、このANDゲートは容易かつ小面積にて駆動回路用IC(100)に内蔵できる。さらに、電源用クロックを用いれば、電源回路300に発振回路を必要としないので、電源回路300は、そのキャパシタC1及びC2以外の構成全てを例

例えば上記駆動回路 1 0 0 と同一 I C 内に作り込むことが可能となる。よって、電源回路と駆動回路を含む表示装置の駆動部をより小さい面積で実現することができる。

【 0 0 8 0 】

なお、電源用クロック発生回路 1 8 0 は、通常動作期間中、上述のようにシステムクロックをそのまま電源用クロックとして出力してもよいが、そのまま出力するのではなくシステムクロックと同じ周波数で、電源回路 3 0 0 でのキャパシタ C 1、C 2 の比などに応じて、その振幅やパルス幅の異なるクロックを出力してもよい。また、通常動作期間中、システムクロックに基づき、キャパシタ C 1、C 2 の容量値などを考慮して、電源回路 3 0 0 にとって最適な周波数のクロックを発生する構成でもよい。

【 0 0 8 1 】

以上に説明した本発明の実施形態 1 及び 2 において、表示装置は、液晶表示装置に限らず有機 E L 表示装置や、その他の平面表示装置であっても同様な効果を奏する。また液晶表示装置などに代表される表示装置において、表示を行う際、駆動回路では何らかのシステムクロックを利用しており、実施形態 2 のようにこのシステムクロックを利用すれば、電源回路に発振回路が不要となり、簡単な構成で電源用クロックを作成することができる。

【 0 0 8 2 】

さらに、実施形態 1 及び 2 において説明した本発明の電源回路は、表示装置のための電源に限られず、パワーセーブモードに対応した他の機器の電源回路としても用いることができる。

【 0 0 8 3 】

また、実施形態 1 及び 2 において、パワーセーブモードから通常動作状態への復帰は、例えば、C P U からのロード信号 (S-LOAD) が次に H レベルとなった際に、C P U から送出された制御データが所定の通常動作命令を表していた場合に、I / F 回路 1 6 がこれを解析して、パワーセーブ制御信号 A を H レベルに戻すことで実現できる（実施形態 2 では、パワーセーブ制御信号 1 及び制御信号 2 の両方）。

【 0 0 8 4 】

【発明の効果】

以上説明したように、本発明の表示装置用の駆動装置はパワーセーブが命じられたときに、駆動回路内のデジタルアナログ変換回路及びアナログ信号処理回路における電源電圧を低下させるので、アナログ信号を処理するこれらの回路において消費電力を低減することができる。さらに、本発明においてこれらアナログ信号を処理する回路は、電源電圧が低下しても動作することが可能であり、パワーセーブ時であっても表示部に表示を行わせるための信号を発生することができ、表示を行うことが可能である。

【 0 0 8 5 】

このような駆動回路に電源電圧を供給する電源回路は、パワーセーブ命令が出されたときに、非昇圧電源電圧を選択的に出力可能であればよく、電源電圧検出用の抵抗及びそのセレクタスイッチ、又は昇圧電源出力スイッチ及び非昇圧電源出力スイッチ等、非常に簡易で制御が容易な構成によって実現できる。

【 0 0 8 6 】

さらに本発明に係る表示装置用駆動装置は、パワーセーブ制御命令に基づき、昇圧電源発生モードか、非昇圧電源発生モードか、電源停止モードかを判定し、これに応じてデジタルアナログ変換回路及びアナログ信号処理回路への電源の制御できる。従って、簡単な構成で多くの動作モードに対応すると共に、消費電力を低減することが可能である。特に、必要な時は消費電力の低減を図りつつ表示を行うことができ、また消費電力の低減が優先されるときは電源を簡単な構成でオフ制御することができる。

【図面の簡単な説明】

【図 1】 本発明に係る表示装置の構成を示す図である。

【図 2】 本発明の実施形態 1 に係る表示装置のスイッチングレギュレータ型電源回路の構成を示す図である。

【図 3】 本発明の実施形態 1 に係る表示装置のチャージポンプ型電源回路の構成を示す図である。

【図 4】 本発明の実施形態 1 に係る表示装置の D/A 変換回路の構成を示

す図である。

【図 5】 図 4 の構成によって作成可能な信号波形を示す図である。

【図 6】 本発明の実施形態 2 に係る表示装置の電源回路の構成を示す図である。

【図 7】 本発明の実施形態 2 に係る表示装置の CPU インターフェース回路及びタイミングコントローラ内の電源用クロック作成回路の構成を示す図である。

【図 8】 図 7 に示す構成のパワーセーブモード 1 の場合の動作を示すタイミングチャートである。

【図 9】 図 7 に示す構成のパワーセーブモード 2 の場合の動作を示すタイミングチャートである。

【図 1 0】 従来の携帯機器用液晶表示装置の構成を示す図である。

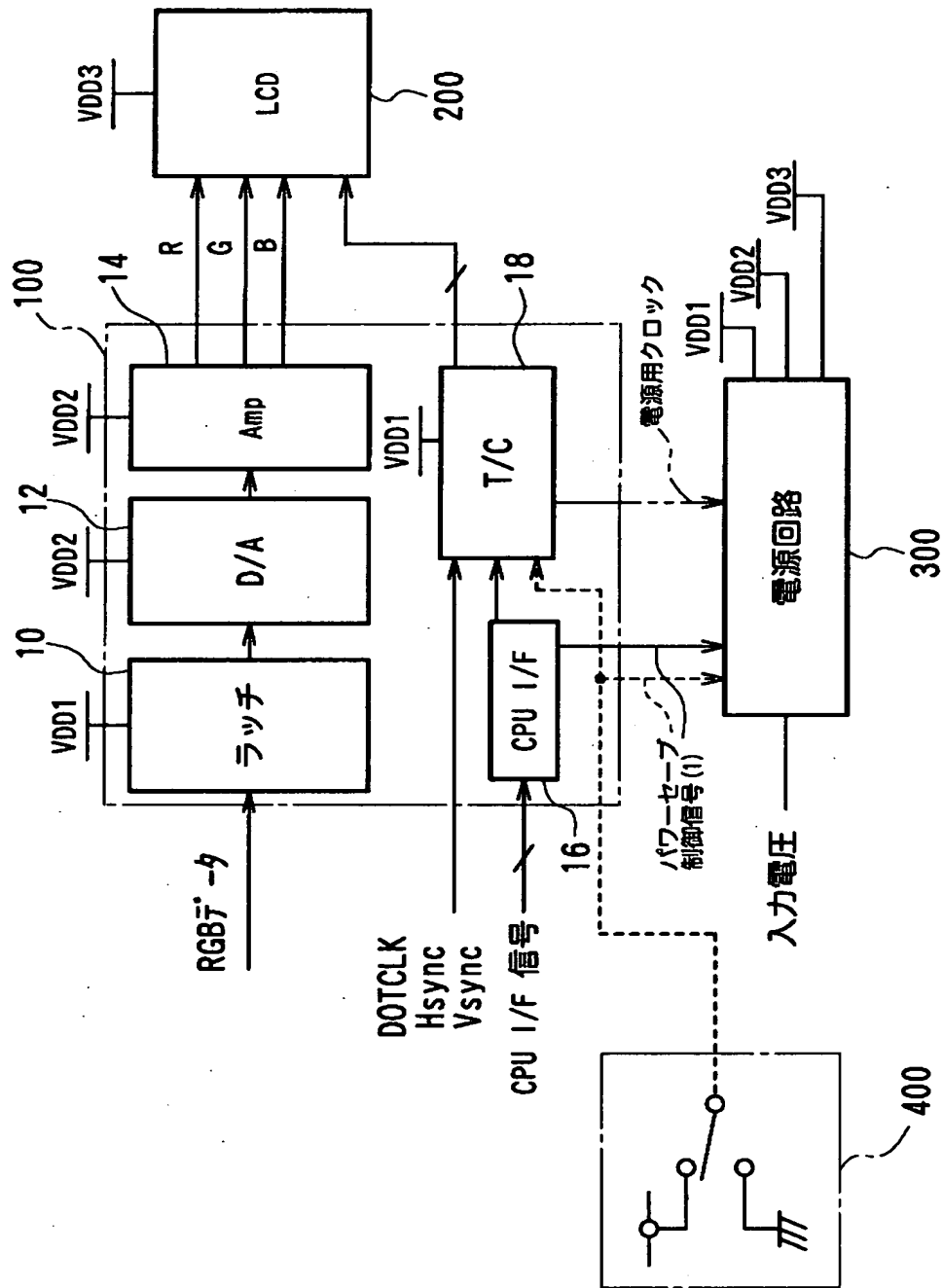
【図 1 1】 図 1 0 の電源回路 3 5 0 の構成を示す図である。

【符号の説明】

1 0 ラッチ回路、1 2 デジタルアナログ (D/A) 変換回路、1 4 アンプ、1 6 CPU インターフェース回路 (CPU I/F)、1 8 タイミングコントローラ (T/C)、3 0 c, 3 0 s 発振回路、3 1 コンパレータ、3 2 AND ゲート、3 3 NAND ゲート、3 4, 1 7 0, 1 7 1, 1 7 2, 1 7 3, 1 7 5, 1 7 6, 1 7 7 インバータ、1 0 0 駆動回路、1 6 1, 1 6 2, 1 6 3, 1 6 4, 1 6 5, 1 6 6, 1 6 7, 1 6 8 フリップフロップ (F/F)、1 6 9 AND ゲート、1 7 4, 1 7 8 NAND ゲート、1 8 0 電源用クロック発生回路 (AND ゲート)、2 0 0 表示パネル (LCD パネル)、3 0 0 電源回路、3 0 1, 3 0 3 昇圧部、3 0 2 フィードバック部。

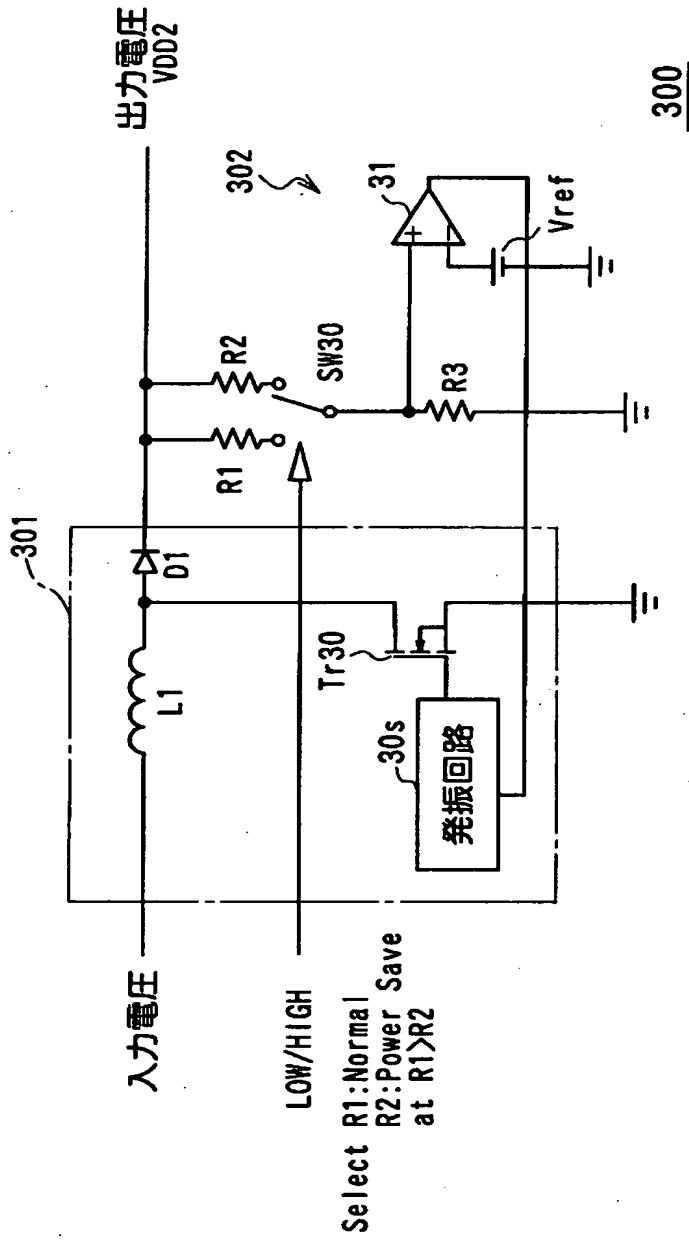
【書類名】 図面

【図 1】

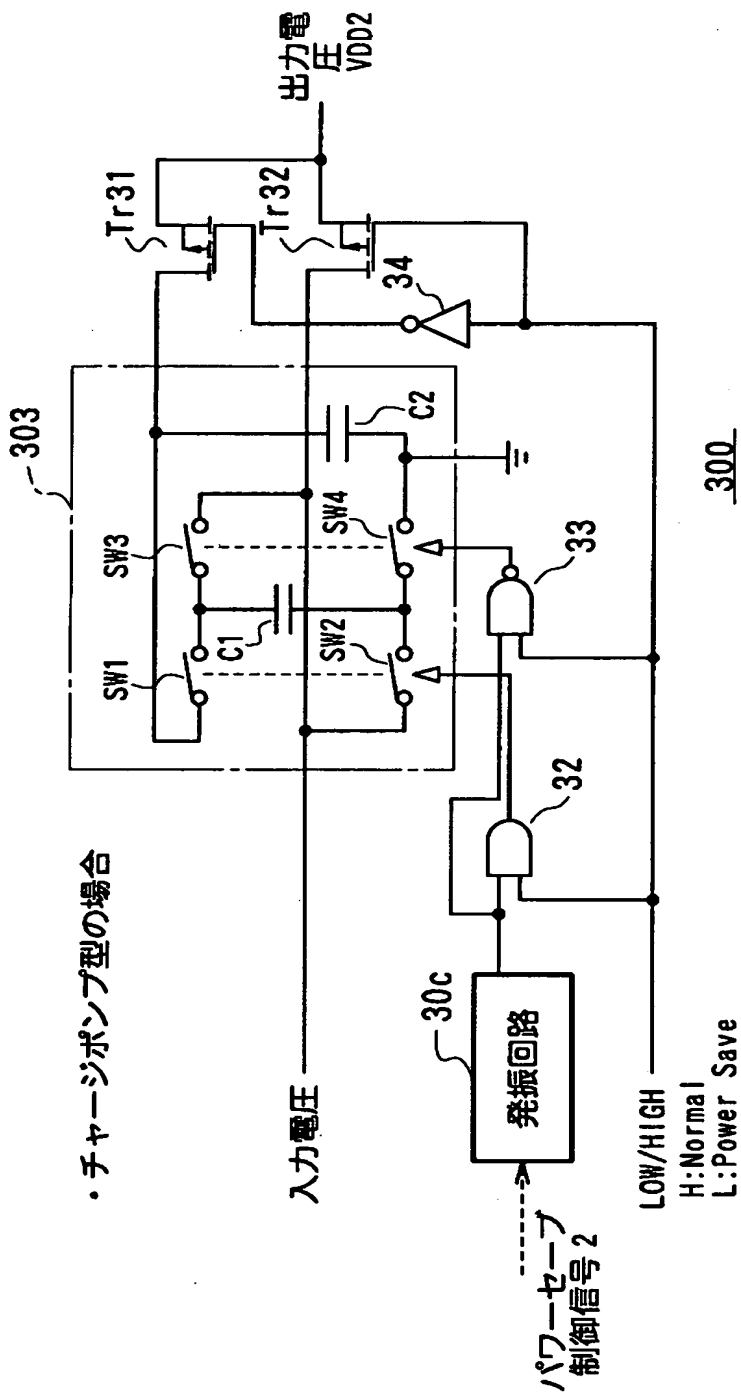


【図 2】

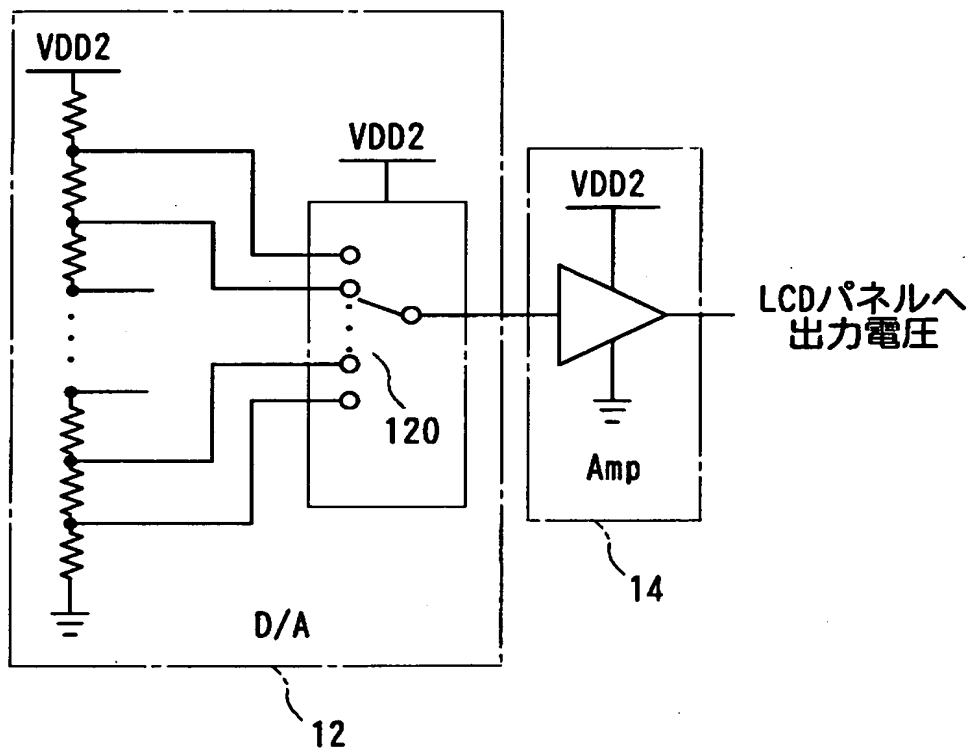
・スイッチングレギュレータの場合



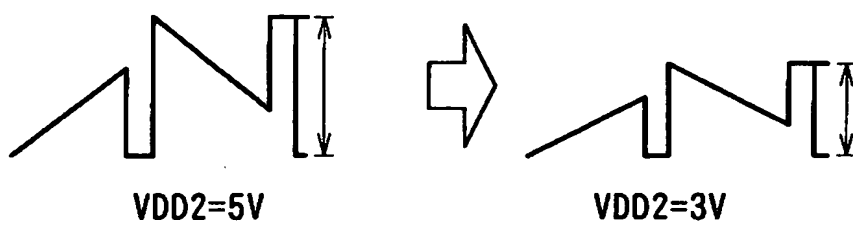
【図 3】



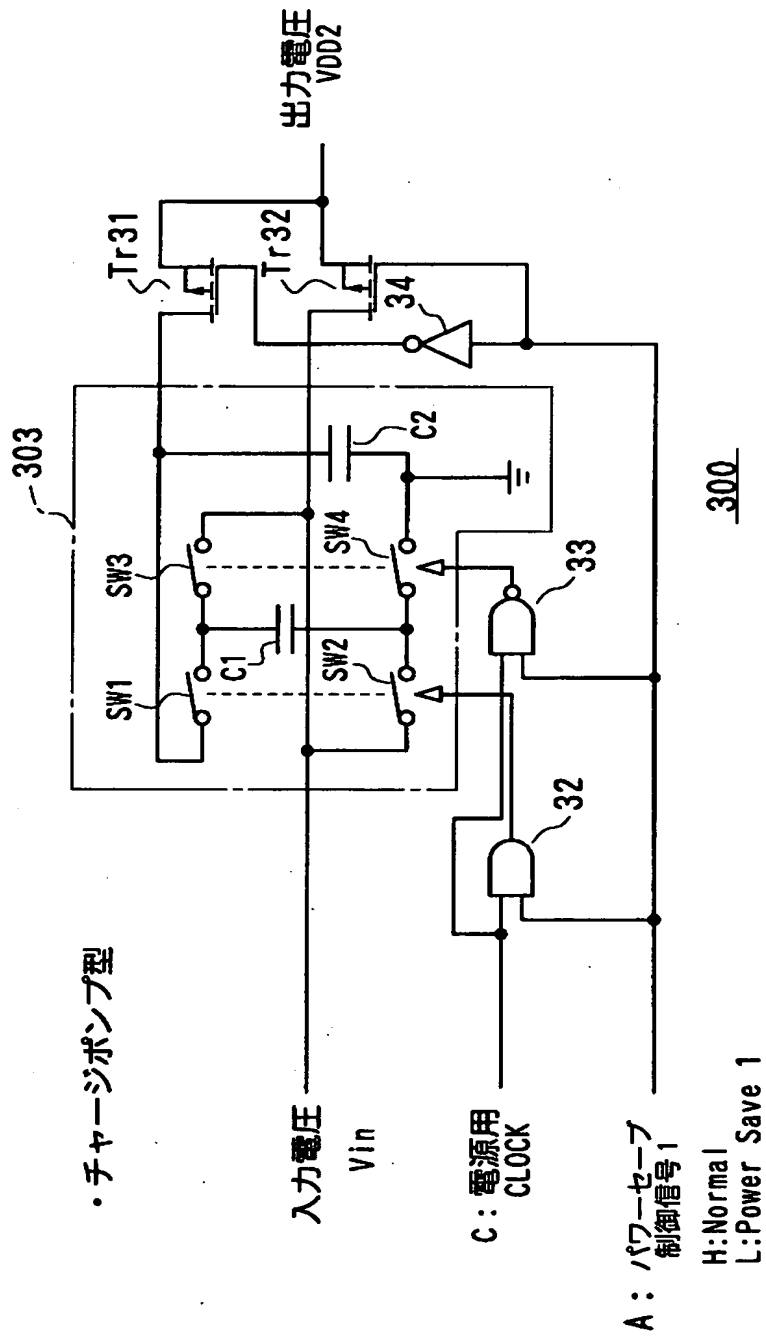
【図 4】



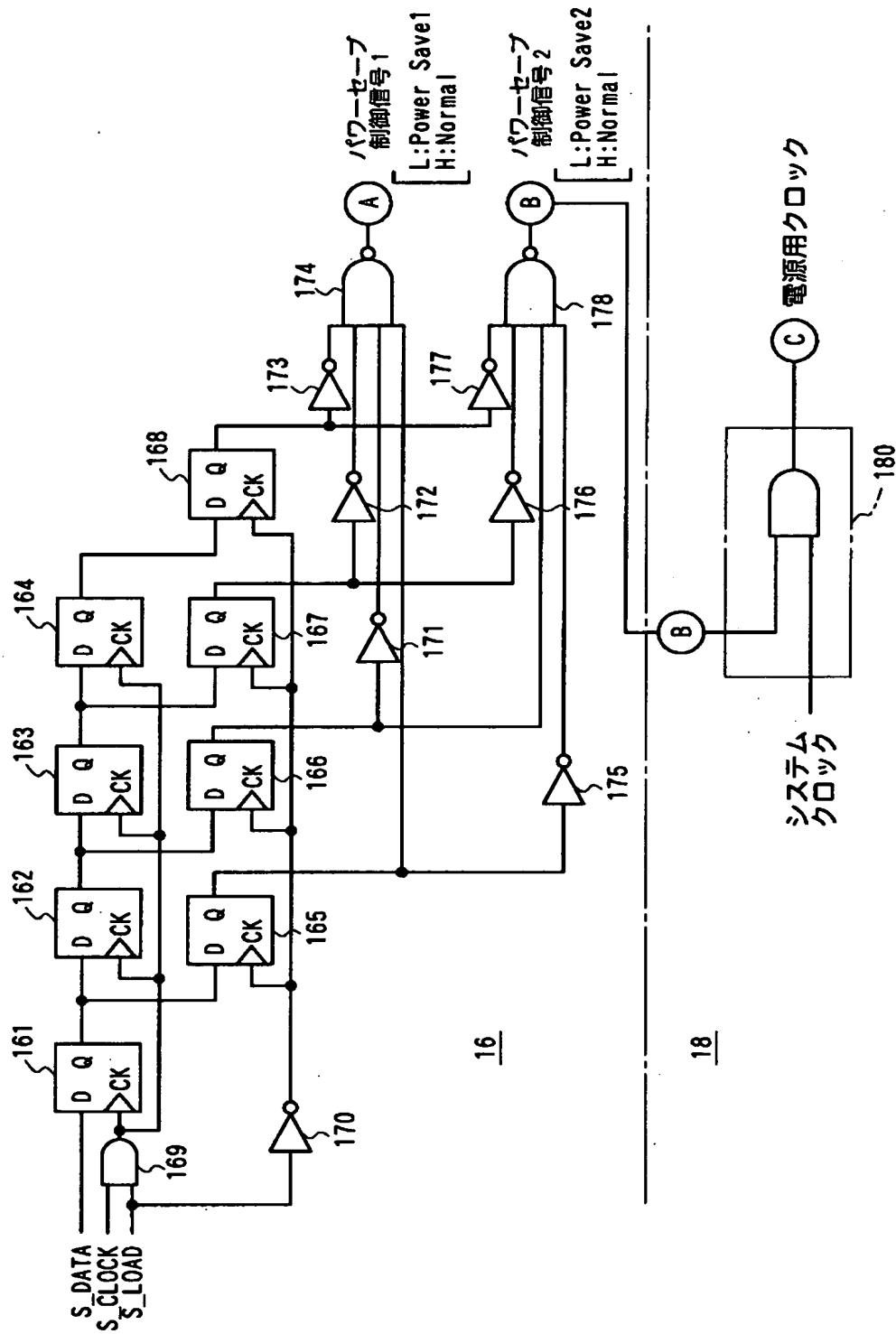
【図 5】



【図 6】

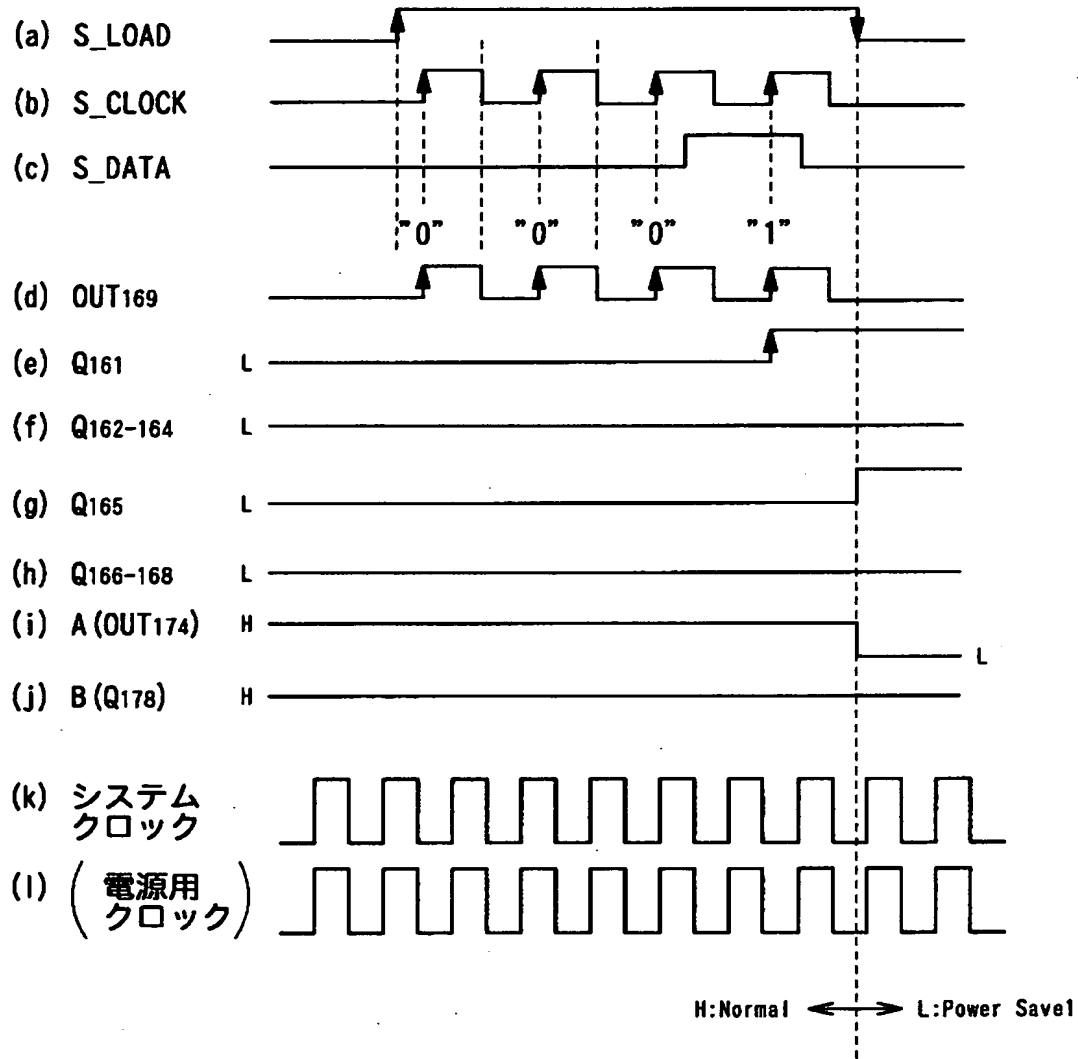


【図 7】



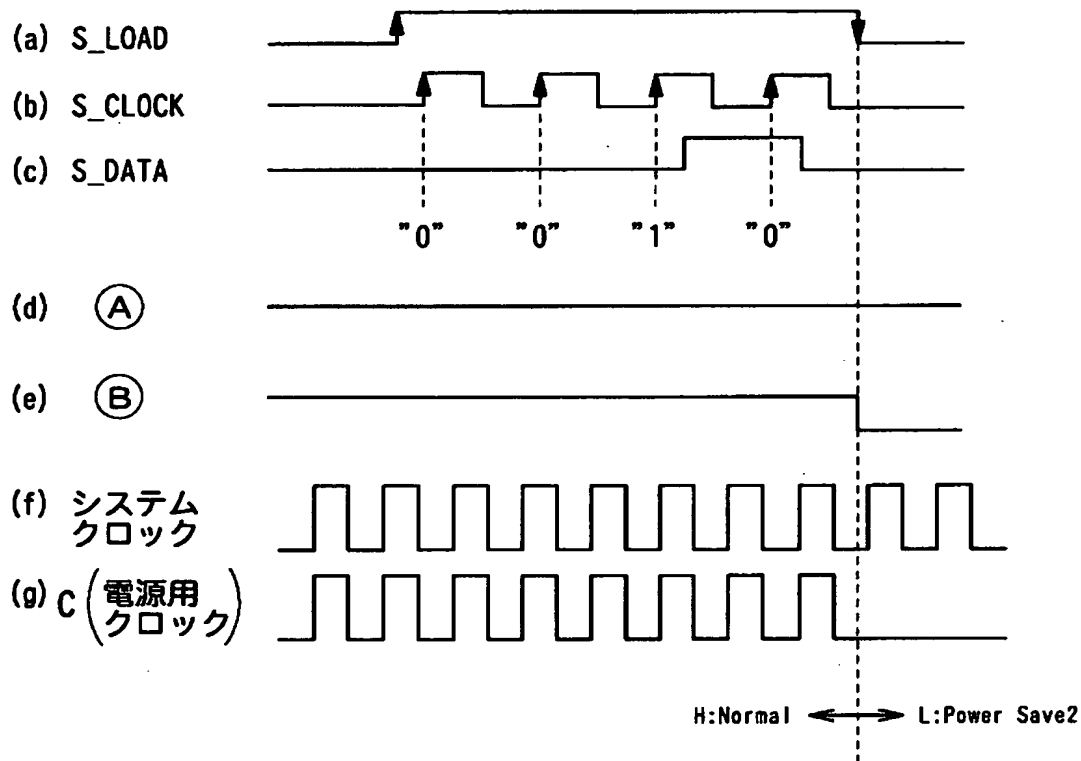
【図 8】

・ DATA="0001" (4 b i t) でパワーセーブモード 1 になる場合

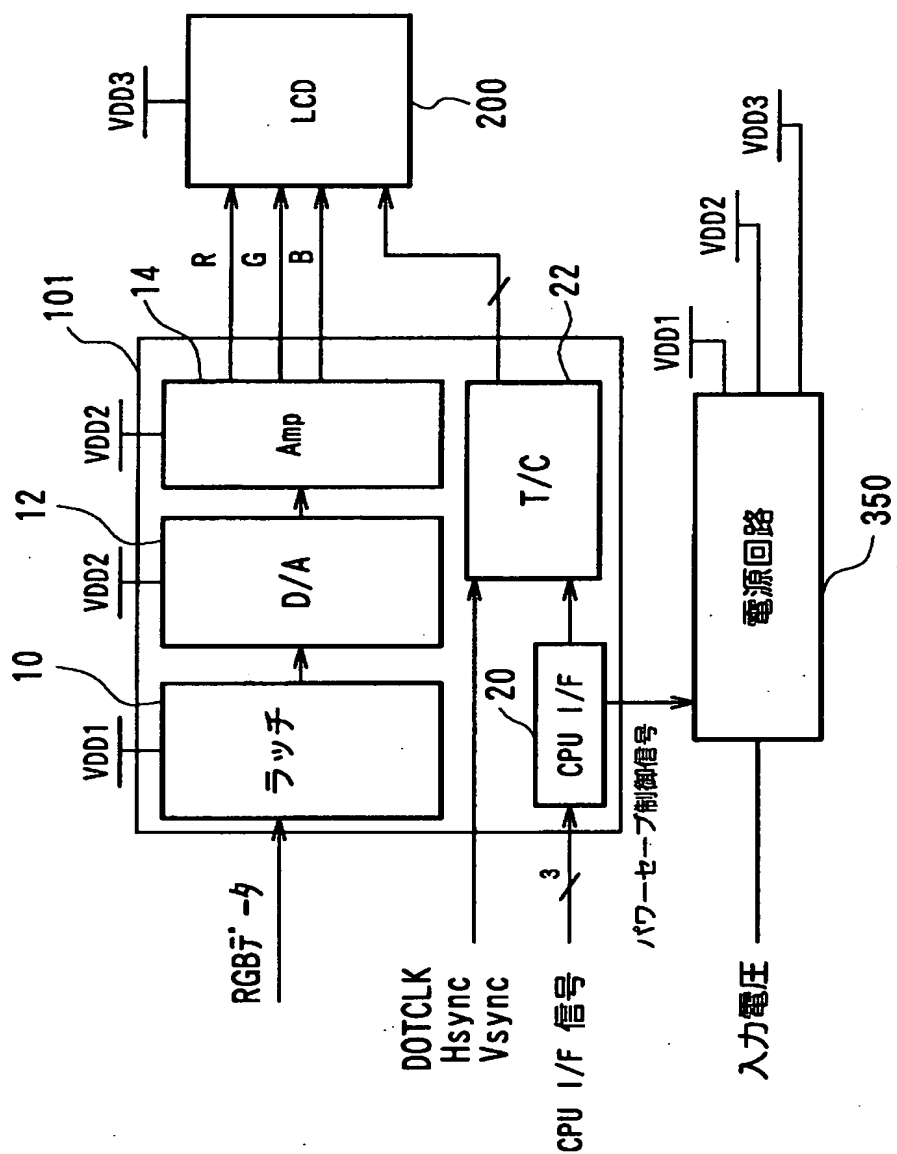


【図 9】

・ DATA="0010" (4 b i t) でパワーセーブモード 2 になる場合

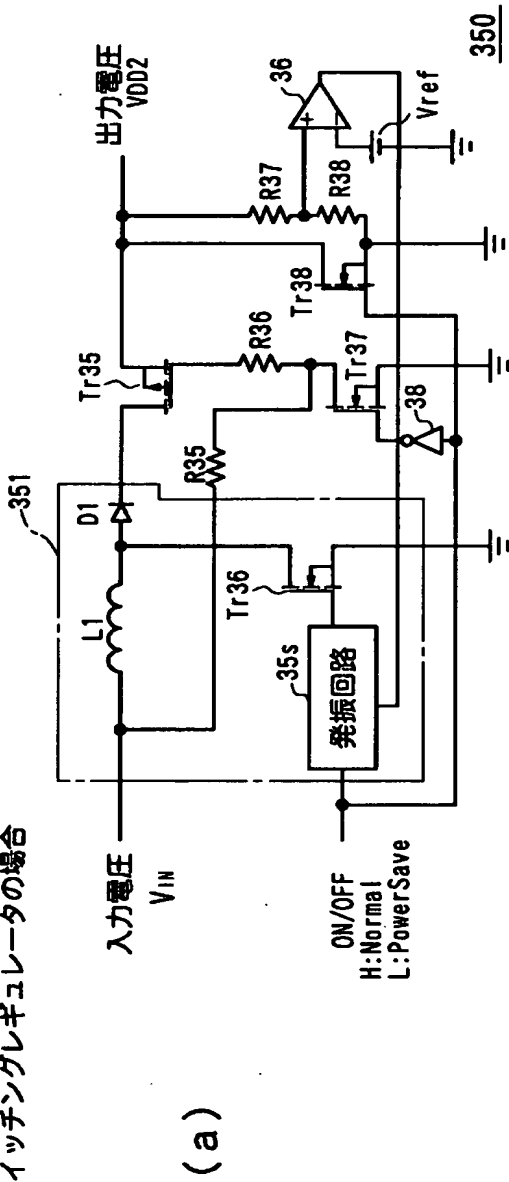


【図 10】

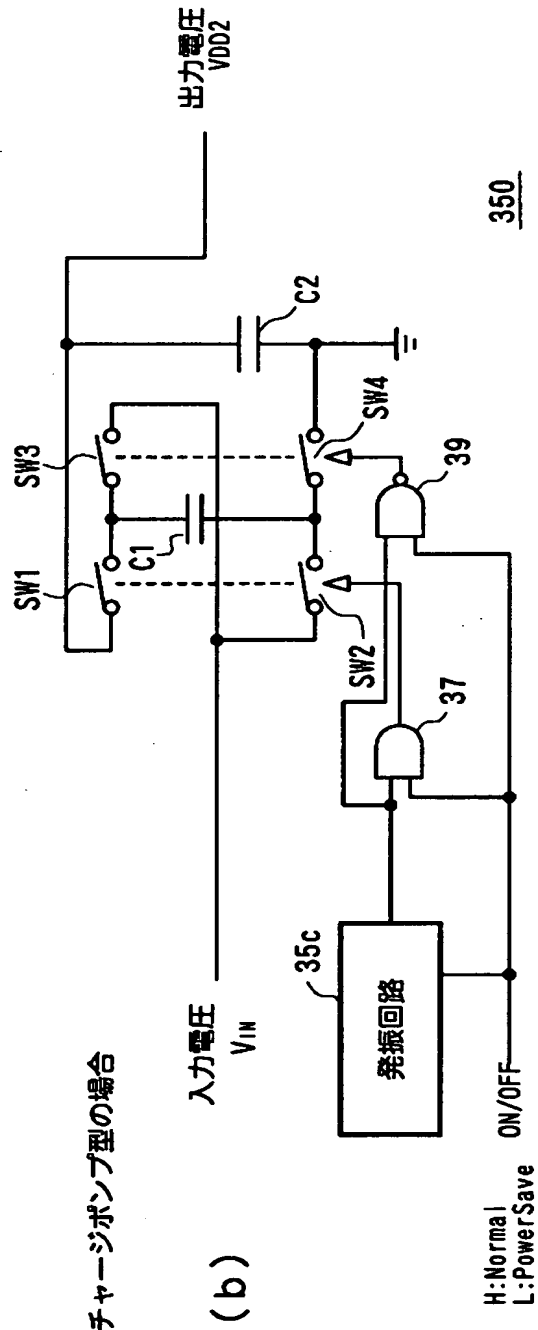


【図 11】

・スイッチングレギュレータの場合



・チャージポンプ型の場合



【書類名】 要約書

【要約】

【課題】 表示装置などの電源システムにおいて、表示を可能としつつ簡単な構成でパワーセーブモードに対応可能とする。

【解決手段】 液晶等の表示装置の電源回路 3 0 0 が、通常動作時は昇圧電源電圧 VDD 2 を出力し、パワーセーブ時には、電源回路 3 0 0 内の出力切り替え用のスイッチを制御することで、通常表示動作時よりも低い非昇圧電源電圧 VDD 2 を発生し、これを駆動回路 1 0 0 のアナログ系回路（D/A 変換回路 1 2 及びアンプ 1 4）に供給し、アナログ系回路での消費電力低減を図る。また、電源回路内の出力切り替え用のスイッチ及び電源用クロックの供給を制御することで、パワーセーブ時に、電源をオフ制御せずに低い電源電圧発生するモードにも、電源をオフ制御するモードにも切り替えることもできる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社